

PAT-NO: JP404177881A

DOCUMENT-IDENTIFIER: JP 04177881 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: June 25, 1992

INVENTOR-INFORMATION:

NAME

KANEDA, KOICHI

NARITA, SATOYASU

GOTO, OSAMU

IMAGAWA, SHINJI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

FUJITSU LTD

N/A

KK FUJITSU YAMANASHI ELECTRON

N/A

APPL-NO: JP02306656

APPL-DATE: November 13, 1990

INT-CL (IPC): H01L031/10, H01L021/205, H01L029/90, H01L031/107, H01L033/00

US-CL.-CURRENT: 257/656

ABSTRACT:

PURPOSE: To improve the crystallinity of an InGaAs and the conditions of the interface between the InGaAs layer and an InP layer by specifying the growth conditions of the InGaAs layer.

CONSTITUTION: An InP first semiconductor layer 21, an InGaAs second semiconductor layer 22 the lattice of which is commensurate with an InP single-crystal substrate 20, and an InP third semiconductor layer 23 are successively grown by crystal growth on the substrate 20. The second semiconductor layer 22 is grown at a crystal growth speed not higher than  $2.5 \mu\text{m/hr}$  and a molar ratio not higher than  $2.5 \times 10^{-3}$  in the gas phase of the compound material of As. Thereby the crystallinity of the InGaAs layer 22 and the conditions of the interface between the InP layer 21 and the InGaAs layer 22 can be improved, the dark current of an APD and a PIN photodiode can be reduced by their multiplier action, and a high-efficiency semiconductor laser device can be obtained.

COPYRIGHT: (C)1992, JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-177881

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)6月25日

H 01 L 31/10

7630-4M H 01 L 31/10  
7630-4M

A  
B※

審査請求 未請求 請求項の数 3 (全7頁)

⑭ 発明の名称 半導体装置の製造方法

⑰ 特 願 平2-306656

⑱ 出 願 平2(1990)11月13日

⑲ 発 明 者 金 田 幸 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内  
⑲ 発 明 者 成 田 里 安 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内  
⑲ 発 明 者 後 藤 修 山梨県中巨摩郡昭和町紙漣阿原1000番地 株式会社富士通  
山梨エレクトロニクス内  
⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地  
⑲ 出 願 人 株式会社富士通山梨エ 山梨県中巨摩郡昭和町紙漣阿原1000番地  
レクトロニクス  
⑲ 代 理 人 弁理士 伊 東 忠 彦 外2名  
最終頁に続く

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) InP単結晶基板(20)上に、少なくともInPの第1の半導体層(21)、該基板(20)と格子整合したInGaAsの第2の半導体層(22)、InPの第3の半導体層(23)を有機金属気相成長法で連続して結晶成長してダブルヘテロ構造の半導体装置を製造する方法において、

上記第2の半導体層(22)を、結晶成長速度が $2.5 \mu\text{m}/\text{Hr}$ 以下で、かつ、Asの化合物原料の気相中のモル比が $2.5 \times 10^{-2}$ 以下で成長させる工程を含むことを特徴とする半導体装置の製造方法。

(2) 上記第2の半導体層(22)を、Asの化合物原料の気相中のモル比と、Ⅲ族の化合物原料

の気相中のモル比との比を1/6以下にして成長させることを特徴とする請求項1記載の半導体装置の製造方法。

(3) 上記第2の半導体層(22)は、Pを含む層であることを特徴とする請求項1記載の半導体装置の製造方法。

3. 発明の詳細な説明

(概要)

化合物半導体、特にInP系のエピタキシャルウェハを有機金属気相成長(MOVPE)法で製造する方法に関し、

InGaAs(又はInGaAsP)層の結晶性、及び該層とInP層との界面状態を改善することにより、暗電流や微分効率等の電気的特性が良好な半導体装置を製造することを目的とし、

InP単結晶基板上に、結晶成長されたInPの第1の半導体層、該基板と格子整合したInGaAsの第2の半導体層、InPの第3の半導体

層のうち、第2の半導体層を成長するに際し、結晶成長速度が $2.5 \mu\text{m}/\text{Hr}$ 以下で、かつ、Asの化合物原料の気相中のモル比が $2.5 \times 10^{-2}$ 以下で成長させる工程を含む。又、第2の半導体層を、Asの化合物原料の気相中のモル比と、Ⅲ族の化合物原料の気相中のモル比との比を1.6以下にして成長させる。

#### (産業上の利用分野)

本発明は、化合物半導体、特にInP系のエピタキシャルウェハをMOVPE法で製造する方法に関する。

例えば光ファイバを用いた光通信には発光素子及び受光素子が使用されるが、これら発光素子及び受光素子には化合物半導体、特にInP系のエピタキシャルウェハが用いられる。従来、エピタキシャルウェハの製造には液相成長(LPE)法が用いられてきたが、最近では、膜厚の均一性や大面積化の必要からMOVPEが実用化されつつある。

を50 torr～100 torrとする。このような条件において、InP基板上にInPバッファ層、基板と格子整合したInGaAs層、InGaAsPバッファ層、InP層を成長してダブルヘテロ構造のウェハを製造する。

特に、InGaAs層の結晶成長速度(Rg)は $4 \mu\text{m}/\text{Hr} \sim 6 \mu\text{m}/\text{Hr}$ 、気相中のAsH<sub>3</sub>のモル比は $4 \times 10^{-2} \sim 6 \times 10^{-2}$ である。このような成長条件のもとで製造されたエピタキシャルウェハを用いてアバランシェホトダイオードを構成した場合、ブレイクダウン電圧の90%の電圧を印加したときの暗電流は百数十nAである。

一方、受光素子であるPINホトダイオードに用いられるエピタキシャルウェハをMOVPE法で製造する場合、APDの場合と同じ原料を用い、成長温度、成長圧力もAPDの場合と同じにし、InP基板上にInPバッファ層、基板と格子整合したInGaAs層、InGaAsPバッファ層、InP層を成長してダブルヘテロ構造のウェハを製造する。特に、InGaAs層のRgはA

そこで、MOVPE法で製造されたウェハを用いてもLPE法で製造されたウェハを用いた場合と同等又はそれ以上の素子特性を得る必要があるが、実際にはMOVPE法で製造されたウェハを受光素子に用いた場合は後述のように暗電流が大きく、弱い光を受けた時には十分な出力電流を得ることができない。一方、発光素子に用いた場合には十分な微分効率を得ることができない。このため、MOVPE法で暗電流の小さいエピタキシャルウェハ、又、十分な微分効率のエピタキシャルウェハを製造する必要がある。

#### (従来の技術)

例えば受光素子であるアバランシェホトダイオード(APD)に用いられるエピタキシャルウェハをMOVPE法で製造する場合、トリメチルインジウム(TM1)、トリエチルガリウム(TEG)、アルシン(AsH<sub>3</sub>)、ホスフィン(PH<sub>3</sub>)を夫々In, Ga, As, Pの原料として用い、成長温度を590℃～650℃、成長圧力

PDの場合と同じ $4 \mu\text{m}/\text{Hr} \sim 6 \mu\text{m}/\text{Hr}$ 、気相中のAsH<sub>3</sub>のモル比は $4 \times 10^{-2} \sim 6 \times 10^{-2}$ である。このような成長条件のもとで製造されたエピタキシャルウェハを用いてPINホトダイオードを構成した場合、5V逆方向電圧を印加したときの暗電流は2nAである。

#### (発明が解決しようとする課題)

従来装置は、InGaAs層の成長速度及び成長圧力を前述のような条件に設定しているので、APDの暗電流が百数十nA(10nA以下であることが望ましい)、PINホトダイオードの暗電流が2nA(0.1nA以下であることが望ましい)というようにLPE法でエピタキシャルウェハを製造した場合よりも夫々かなり大きく、特に弱い光を受けた時などでは十分な出力電流を得ることができず、実用化が困難である問題点があった。又、半導体レーザに用いられるエピタキシャルウェハに関しても、前述と同様の成長条件を用いて製造しているので、十分な微分効率を得るこ

とができない問題点があった。

このような問題点を生じるのは、後で詳述する如く、理由は明確でないが、前述の成長条件を用いて成長を行なうと、InGaAs（又はInGaAsP）層の結晶性、及び該層とInP層との界面状態が悪化するためと考えられる。

本発明は、InGaAs（又はInGaAsP）層の結晶性、及び該層とInP層との界面状態を改善することにより、暗電流や微分効率等の電気的特性が良好な半導体装置の製造方法を提供することを目的とする。

#### 〔課題を解決するための手段〕

第1図は本発明の原理図を示す。同図（A）は結晶成長速度及びAsの化合物原料の気相中のモル比と、暗電流との関係を示す特性図、同図（B）は本発明方法によって製造された半導体装置の構成図である。上記問題点は、同図（A）に示す如く、InP単結晶基板20上に、少なくともInPの第1の半導体層21、該基板20と格

られ、又、結晶成長速度を前述のように設定すると結晶性が向上するものと考えられる。また、Asの化合物原料の気相中のモル比と、Ⅲ族の化合物原料の気相中のモル比との比を前述のように設定したので、Ⅲ族の化合物原料の空格子等の欠陥を少なくできる。本発明によると第2の半導体層22の結晶性、及び第2の半導体層22と第3の半導体層23との界面状態を改善できるので、これらの相乗作用からAPDの場合では暗電流を10nA以下、PINホトダイオードの場合では暗電流を0.1nA以下にすることができる。又、半導体レーザの場合では微分効率を従来例に比して25%程度改善できる。

#### 〔実施例〕

第2図は本発明方法によって製造されたPINホトダイオードの構成図を示す。第2図中、1はn-InP基板、2はn-InPバッファ層、3はn-InGaAs層、4はn-InPキャップ層、5は窒化珪素膜、6はZn拡散によるP+

子整合したInGaAsの半導体層22、InPの第3の半導体層23を有機金属気相成長法で連続して結晶成長してダブルヘテロ構造の半導体装置を製造する方法において、第2の半導体層22を、同図（B）に示す如く、結晶成長速度が $2.5 \mu\text{m}/\text{Hr}$ 以下で、かつ、Asの化合物原料の気相中のモル比が $2.5 \times 10^{-3}$ 以下で成長させる工程を含むことを特徴とする半導体装置の製造方法によって解決される。又、この場合、第2の半導体層22を、Asの化合物原料の気相中のモル比と、Ⅲ族の化合物原料の気相中のモル比との比を1/6以下にして成長させる。

#### 〔作用〕

モル比を前述のように設定すると、成長がInGaAsの第2の半導体層22からInPの第3の半導体層23に切替る時にその界面にIn-As<sub>x</sub>P<sub>1-x</sub>のような中間層（残留又は反応層などに付着したAsの量に依存して厚く、格子不正も大きくなると考えられる）が形成されないと考え

る。InP層、7はp電極、8はn電極であり、PINホトダイオードを構成する。なお、構造上は従来のものと同じである。ここで、p電極7に負電圧、n電極8に正電圧を印加し、成長条件に対する暗電流を測定した結果を第3図及び第4図に示す。

第3図はInGaAs層3の成長速度（Rg）と暗電流（Id）との関係を気相中のAsH<sub>3</sub>のモル比（X<sub>AsH<sub>3</sub></sub>）をパラメータとしてプロットしたもの、第4図はAsH<sub>3</sub>のモル比（X<sub>AsH<sub>3</sub></sub>）と暗電流（Id）との関係をInGaAs層3の成長速度（Rg）をパラメータとしてプロットしたものである。PINホトダイオードではその性能上、暗電流は0.1nA以下であることが望ましいとされるが、このような望ましい値を得るには、第3図、第4図より明らかな如く、InGaAs層3のRgが $2.5 \mu\text{m}/\text{Hr}$ 以下で、かつ、AsH<sub>3</sub>のモル比（X<sub>AsH<sub>3</sub></sub>）が $2.5 \times 10^{-3}$ 以下であることが必要であることがわかる。

そこで、本発明では、MOVPE法でエピタキ

シャルウェハを製造する際の成長条件として、 $\text{InGaAs}$ 層3の $R_g$ を $2.5 \mu\text{m}/\text{Hr}$ 以下、 $\text{As}$ の化合物原料の気相中のモル比を $2.5 \times 10^{-3}$ 以下とする。なお、成長圧力は $7.6 \text{ torr}$ 、成長温度は $630^\circ\text{C}$ とする。この場合、理由は明確でないが、 $\text{AsH}_3$ のモル比( $X_{\text{AsH}_3}$ )が必要以上に大きいと気相中に残留する $\text{As}$ 化合物( $\text{AsH}_3$ )や、リアクタ(反応管)及びサセプタ等に付着した $\text{As}$ が再離脱し、成長が $\text{InGaAs}$ 層3から $\text{InP}$ 層4に切替る時に中間層( $\text{InAs}_x\text{P}_{1-x}$ )が $\text{As}$ の量に依存して厚く形成され、この中間層によって格子不正が大きくなるからと思われる。このため、本発明は、 $\text{AsH}_3$ のモル比を必要以上に大きくとらず、 $2.5 \times 10^{-3}$ 以下に設定して $\text{InGaAs}$ 層3と $\text{InP}$ キャップ層4との界面に中間層を形成しないようにして、界面状態を改善する。一方、 $R_g$ が必要以上に大きいと $\text{InGaAs}$ 層3の結晶性が悪化するので、本発明は $R_g$ を $2.5 \mu\text{m}/\text{Hr}$ 以下にする。このとき、気相中の $\text{AsH}_3$ のモル比( $X_{\text{AsH}_3}$ )とⅢ族の化

合物原料( $\text{In}$ と $\text{Ga}$ )のモル比( $X_{\text{Ⅲ}}$ )との比( $X_{\text{AsH}_3}/X_{\text{Ⅲ}}$ )が大きいとⅢ族の化合物原料の空格子等の欠陥が多く生成されると思われるので、この欠陥を少なくするためには、成長表面からのいわゆる $\text{As}$ 抜けによる欠陥を生じない範囲で $X_{\text{AsH}_3}/X_{\text{Ⅲ}}$ を1.4と小さくする。

このように、本発明では $\text{InGaAs}$ 層3の $R_g$ を $2.5 \mu\text{m}/\text{Hr}$ 以下で、かつ、 $\text{As}$ の化合物原料の気相中のモル比を $2.5 \times 10^{-3}$ 以下にすることにより、 $\text{InGaAs}$ 層3の結晶性、及び $\text{InGaAs}$ 層3と $\text{InP}$ 層4との界面状態を改善できるので、これらの相乗作用により、暗電流を $0.1 \text{ nA}$ 以下にでき、弱い光を受けた時にでも十分な出力電流を取出すことができる。

以上の実施例はPINホトダイオードの場合であるが、アバランシェホトダイオード(APD)の場合もPINホトダイオードの場合に準じた考え方でよい。第5図は本発明方法によって製造されたAPDの構成図を示し、同図中、第2図と同一構成部分には同一番号を付してその説明を省略

する。第5図中、4aはパイルアップ防止のための $\text{InGaAsP}$ バッファ層、4bは $n^+-\text{InP}$ 層、4cは $n-\text{InP}$ 増倍層、6aはガードリング、9は無反射コートであり、APDを構成する。なお、構造上は従来のものと同じである。

このAPDのエピタキシャルウェハの製造に際し、成長圧力を $7.6 \text{ torr}$ 、成長温度を $630^\circ\text{C}$ とし、 $\text{AsH}_3$ を使用し、不純物は $\text{Si}$ をドーピングし、 $\text{InGaAs}$ 層3の $R_g$ を $2 \mu\text{m}/\text{Hr}$ 、 $X_{\text{AsH}_3}$ を $1.25 \times 10^{-3}$ 、 $X_{\text{AsH}_3}/X_{\text{Ⅲ}}$ を1.4としてエピタキシャルウェハの成長を行なう。この結果、このエピタキシャルウェハを用いて作成したAPDの暗電流( $I_d$ )は $10 \text{ nA}$ と、前述の従来例(百数十 $\text{nA}$ )に比して大幅に小さくでき、弱い光を受けた時にでも十分な出力電流を取出すことができる。APDの場合も、従来の成長条件で成長を行なうと、 $\text{InGaAs}$ 層3と $\text{InGaAsP}$ バッファ層4aとの間に $\text{In}_y\text{Ga}_{1-y}\text{As}_x\text{P}_{1-x}$ ( $\text{As}_x$ が多量に含まれる)なる中間層が形成されるが、本発明の成長条件にすればこの

中間層が形成されないと考えられ、又、 $\text{InGaAs}$ 層3の結晶性を改善できると考えられる。この場合、 $R_g$ 及び $X_{\text{AsH}_3}$ を夫々前記の1/2にすると、暗電流を更に小さくすることができる。

更に他の実施例として、第6図に示す半導体レーザがあるが、この場合のエピタキシャルウェハの製造についても前述の実施例と同様の考え方でよい。第6図中、10は $p-\text{InP}$ 基板、11は $p-\text{InP}$ バッファ層、12は $\text{InGaAsP}$ 活性層、13は $n-\text{InP}$ クラッド層であり、構造上は従来のものと同じである。その製造に際し、 $\text{InGaAsP}$ 活性層12(波長は $1.3 \mu\text{m}$ )の成長を成長温度 $630^\circ\text{C}$ 、成長圧力 $7.6 \text{ torr}$ 、 $R_g = 1.5 \mu\text{m}/\text{Hr}$ 、 $X_{\text{AsH}_3} = 5.9 \times 10^{-4}$ 、 $X_{\text{AsH}_3}/X_{\text{Ⅲ}} = 8.3$ の諸条件で行ない、成長後のウェハをストライプ状にメサエッチ後、従来と同様にLPE法で埋込み、その後素子化する。このようにして製造された半導体レーザの微分効率従来例に比して25%程度改善され、 $0.2 \text{ mW}/\text{mA}$ 程度のものが得られた。このように前述の各実施例と同

様の考え方に基づく成長条件で成長した場合、InGaAsP層12とInP層13との界面状態が前述の実施例のように改善され、この界面でのパワーロスが少なくなるためと考えられる。

なお、As化合物としてターシャルブチルアルシン(TBA)を用いると分解率が高くなるので、AsH<sub>3</sub>の代りにこのTBAを用いてもよい。TBAを用いると、更に気相中のモル比X<sub>TBA</sub>を下げることができ、更に暗電流を下げるができる。

#### (発明の効果)

以上説明した如く、本発明によれば、InGaAs層を、R<sub>g</sub>が2.5 μm/Hr以下で、かつ、Asの化合物原料の気相中のモル比が2.5 × 10<sup>-3</sup>以下で成長させているため、InGaAsの結晶性、及びこれら2層の界面状態を改善でき、これらの相乗作用によりAPDやPINホトダイオードでは従来例よりも暗電流を小さくでき、又、半導体レーザでは従来例よりも効率の高いものを

得ることができる。

#### 4. 図面の簡単な説明

第1図は本発明の原理図、

第2図は本発明によって製造されたPINホトダイオードの構成図、

第3図はPINホトダイオードのR<sub>g</sub>対暗電流特性図、

第4図はPINホトダイオードのX<sub>AsH<sub>3</sub></sub>対暗電流特性図、

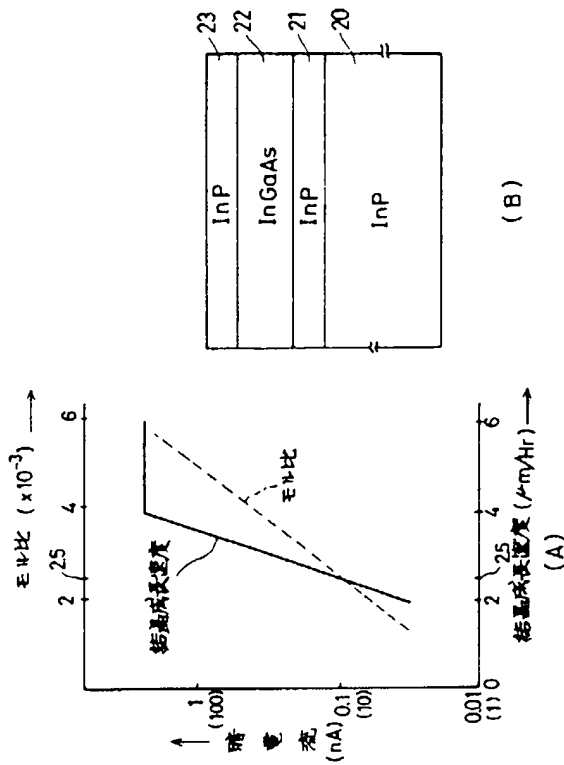
第5図は本発明によって製造されたAPDの構成図、

第6図は本発明によって製造された半導体レーザの構成図である。

図において、

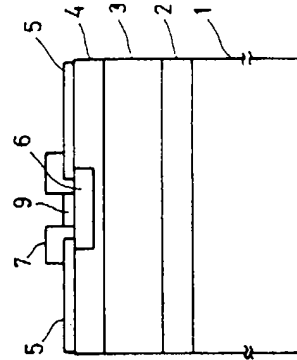
- 1, 10はInP基板、
- 2, 11はInPバッファ層、
- 3はInGaAs層、
- 4はInPキャップ層、

- 4aはInGaAsPバッファ層、
  - 4b, 4c, 6, 11, 13はInP層、
  - 5は窒化珪素膜、
  - 7はp電極、
  - 8はn電極、
  - 9は無反射コート、
  - 12はInGaAsP活性層、
  - 20はInP単結晶基板、
  - 21はInPの第1の半導体層、
  - 22はInGaAsの第2の半導体層、
  - 23はInPの第3の半導体層
- を示す。



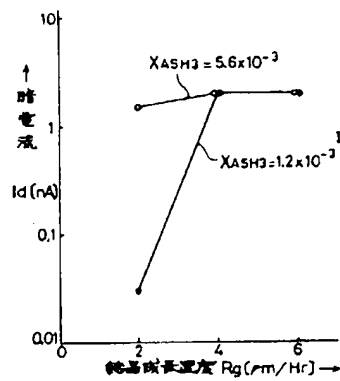
本発明の原理図

第 1 図



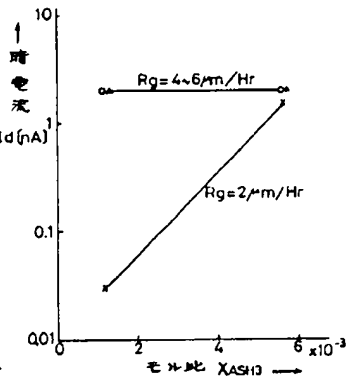
本発明によって製造されたPINホトダイオードの構成図

第 2 図



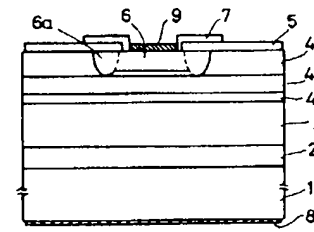
PINホトダイオードのRg対暗電流特性図

第 3 図



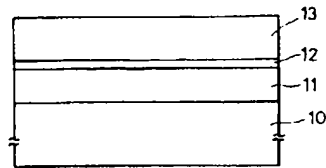
PINホトダイオードのモル比対暗電流特性図

第 4 図



本発明によって製造されたAPDの構成図

第 5 図



本発明によって製造された半導体レーザの構成図

第 6 図

第1頁の続き

⑤Int. Cl.<sup>5</sup>

H 01 L 21/205  
29/90  
31/107  
33/00

識別記号

庁内整理番号

7739-4M  
7638-4M

A

8934-4M

⑦発 明 者 今 川

伸 次

山梨県中巨摩郡昭和町紙漕阿原1000番地 株式会社富士通  
山梨エレクトロニクス内